# 实验四 寄存器、计数器

一、实验内容

1．用VHDL语言设计D锁存器，并进行仿真与分析；

2．参看Maxplus中器件7474（边沿D触发器）的逻辑功能，用VHDL语言设计边沿触发式D触发器，并进行仿真与分析；

3．用VHDL语言设计一个寄存器，并进行仿真与分析。

4．用VHDL语言设计一个顺序计数的计数器，并进行仿真与分析。

二、实验要求

1．进实验室前，请写一份预习报告；进实验室时经指导老师检查后，才可上机操作。

2．预习报告内容有:

BD21294_BD21327_ 用VHDL语言编写D锁存器程序；

BD21294_BD21327_ 用VHDL语言编写边沿D触发器程序；

BD21294_BD21327_ 用VHDL语言编写寄存器、计数器程序。

3．在文本编辑区使用VHDL硬件描述语言设计逻辑电路，再利用波形编辑区进行逻辑功能仿真，以此验证电路的逻辑功能是否正确。

4．实验结束前，由指导老师检查了仿真波形后方可离开。

三、电路功能介绍

**1．D锁存器**（D Latch）

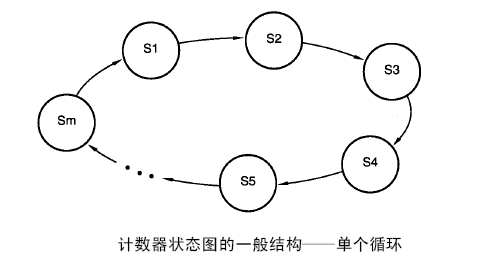
**2．边沿式D触发器**（Positive-Edge-Triggered D Flip-Flops with Preset , Clear and Complementary Outputs）

**3.计数器**

计数器： 一般来说，在状态图中包含有一个循环（见下图）的任何时钟时序电路都可称为计数器。

计数器的模是指在循环中的状态个数。

一个有*m*个状态的计数器称为模*m*计数器，有时也称为*m*分频计数器。如果一个计数器的模不是2的幂，就会有多余状态，在正常工作时是不用这些状态的。



**4.模型机的计数器与寄存器**

根据一般计数器设计模型机需要的计数器：

计数器、指令计数器

根据暂存器设计模型机相关的暂存器：

通用寄存器、暂存器